

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 61-266963
(43) Date of publication of application : 26.11.1986

(51) Int.CI. G01R 19/22
H02M 7/21

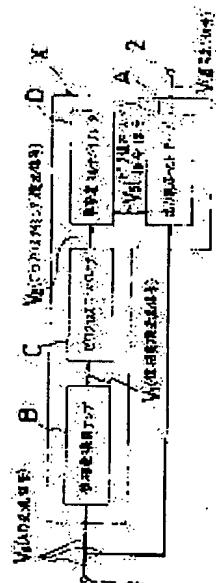
(21) Application number : 60-109992 (71) Applicant : HORIBA LTD
(22) Date of filing : 21.05.1985 (72) Inventor : YADA TAKAAKI
NAKAMURA TADAO
IMAKI TAKAO

(54) RECTIFYING CIRCUIT

(57) Abstract:

PURPOSE: To rectify a low frequency AC signal precisely at an extremely high speed with relatively simple constitution by providing a hold output means which holds and outputs the peak value of an input AC signal.

CONSTITUTION: An amplifier B for phase conversion receives the input AC signal V0 and generates a phase-converted AC signal V1 which is 90° out of phase with the input signal and a zero-cross comparator C detects the zero-cross timing of the phase-converted AC signal V1 from the positive side to the negative side and generates its detection signal V2. Then, a monostable multivibrator D sends out a peak value hold command signal V5 for holding the value of the current input AC signal V0 in an output holding amplifier A in response to the detection signal V2. Consequently, the output holding amplifier A holds and outputs the positive peak value of the input AC signal V0 successively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

⑪ 公開特許公報 (A)

昭61-266963

⑫ Int.CI.

G 01 R 19/22
H 02 M 7/21

識別記号

厅内整理番号

7241-2G
6650-5H

⑬ 公開 昭和61年(1986)11月26日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 整流回路

⑮ 特願 昭60-109992

⑯ 出願 昭60(1985)5月21日

⑰ 発明者 矢田 隆章 京都市南区吉祥院宮ノ東町2番地 株式会社堀場製作所内
 ⑱ 発明者 中村 忠生 京都市南区吉祥院宮ノ東町2番地 株式会社堀場製作所内
 ⑲ 発明者 今木 隆雄 京都市南区吉祥院宮ノ東町2番地 株式会社堀場製作所内
 ⑳ 出願人 株式会社 堀場製作所 京都市南区吉祥院宮ノ東町2番地
 ㉑ 代理人 弁理士 藤本 英夫

明細書

1. 発明の名称

整流回路

2. 特許請求の範囲

(1) 入力された交流信号のピーク値を順次ホールドして出力可能なホールド出力手段を設けてあることを特徴とする整流回路。

(2) 前記ホールド出力手段を、前記入力交流信号を受ける出力用ホールドアンプと、前記入力交流信号を受けてそれよりも90度位相をずらせた位相変換交流信号を生成する位相変換用アンプと、その位相変換用アンプから出力された位相変換交流信号における少なくとも正側から負側へのゼロクロスタイミングを検出するゼロクロスコンバーティと、そのゼロクロスコンバーティが前記位相変換交流信号における正側から負側へのゼロクロスタイミングを検出したときに、その時点における前記入力交流信号の値を前記出力用ホールドアンプにホールドさせる信号を出力する單安定マルチバイブレータとから構成することにより、前記

入力交流信号の正側のピーク値を順次ホールドして出力するように構成してある特許請求の範囲第(1)項に記載の整流回路。

(3) 前記ホールド出力手段を、前記入力交流信号を受ける出力用ホールドアンプと、前記入力交流信号を受けてそれよりも90度位相をずらせた位相変換交流信号を生成する位相変換用アンプと、その位相変換用アンプから出力された位相変換交流信号における少なくとも負側から正側へのゼロクロスタイミングを検出するゼロクロスコンバーティと、そのゼロクロスコンバーティが前記位相変換交流信号における負側から正側へのゼロクロスタイミングを検出したときに、その時点における前記入力交流信号の値を前記出力用ホールドアンプにホールドさせる信号を出力する單安定マルチバイブレータとから構成することにより、前記入力交流信号の負側のピーク値を順次ホールドして出力するように構成してある特許請求の範囲第(1)項に記載の整流回路。

(4) 前記ホールド出力手段を、前記入力交流信

号を受けて絶対値整流する絶対値整流アンプと、その絶対値整流アンプから出力された絶対値交流信号を受ける出力用ホールドアンプと、前記入力交流信号を受けてそれよりも90度位相をずらせた位相変換交流信号を生成する位相変換用アンプと、その位相変換用アンプから出力された位相変換交流信号における正側から負側および負側から正側へのゼロクロスタイミングを検出するゼロクロスコンバレータと、そのゼロクロスコンバレータが前記位相変換交流信号における正側から負側または負側から正側へのゼロクロスタイミングを検出したときに、その時点における前記入力交流信号の値を前記出力用ホールドアンプにホールドして出力するように構成してある特許請求の範囲第(1)項に記載の整流回路。

3. 発明の詳細な説明

(産業上の利用分野)

欠点がある。一方、後者の手段による場合には、高速で精度良い処理を行える反面、非常に高度な処理が必要で、装置が複雑で高価なものになってしまう欠点がある。

本発明は、上記実情に鑑みてなされたものであって、その目的は、比較的簡素で安価に構成できるものでありながら、低周波交流信号を非常に高速で精度良く整流処理可能な整流回路を提供せんすることにある。

(問題点を解決するための手段)

上記目的を達成するために、本発明による整流回路は、入力された交流信号のピーク値を順次ホールドして出力可能なホールド出力手段を設けてある、という特徴を備えている。

(作用)

かかる特徴構成により発揮される作用は次の通りである。

即ち、入力された交流信号のピーク値のみをホールドして出力することにより、該交流信号を直流信号に変換する構成であるから、その変換のた

本発明は、特に低周波の交流信号に対して高速で応答処理する場合に好適な整流回路に関するものである。

(従来の技術)

例えば赤外線式ガス分析計などにおける測定信号のように、ある種の変調手段によって得られた低周波交流信号を整流処理する場合において、従来一般に、該低周波交流信号を絶対値整流してからコンデンサ入力平滑回路で平滑することにより直流信号に変換する、という手段が採用されている。そして、特に高速で精度良い処理が要求される場合には、該低周波交流信号をV/F変換またはA/D変換してからデジタル処理する、という手段が採用されている。

(発明が解決しようとする問題点)

しかしながら、前者の手段による場合には、非常に簡便で安価な構成で済むという利点がある反面、応答が極めて遅く、また、それ故に供試ガス流量を多く必要としたり、あるいは、低濃度ガス測定時におけるS/N比が悪い、といった種々の

めの時定数は、最小の場合で、入力された交流信号の周波数の逆数（例えば入力交流信号が1Hzの場合には1sec）にまで高めることができ、以て、従来のコンデンサ入力平滑回路による場合に比べて、低周波交流信号を非常に高速に且つ精度良く整流処理することができ、しかも、そのための回路構成は、後述する実施例からも明らかのように、出力用ホールドアンプ、位相変換用アンプ、ゼロクロスコンバレータ、単安定マルチバイブルエタ等の組み合わせから成る比較的簡素で安価なもので実現することができる。

(実施例)

以下、本発明の具体的実施例を図面に基いて説明する。

第1図のブロック回路構成図に示すように、入力端子1と出力端子2との間に、前記入力端子1から入力された交流信号V₀のピーク値を順次ホールドして出力可能なホールド出力手段Xとして、前記入力交流信号V₀を受ける出力用ホールドアンプAと、その出力用ホールドアンプAに対して

並列に分岐された前記入力交換信号 V_i を受けてそれよりも90度位相をずらせた位相変換交流信号 V_1 を生成する位相変換用アンプ B と、その位相変換用アンプ B から出力された位相変換交流信号 V_1 における少なくとも正側から負側へのゼロクロスタイミングを検出してその検出信号 V_2 を発するゼロクロスコンバーティ C と、そのゼロクロスコンバーティ C が前記位相変換交流信号 V_1 における正側から負側へのゼロクロスタイミングを検出したときに、その時点における前記入力交流信号 V_i の値を前記出力用ホールドアンプ A にホールドさせるべくピーク値ホールド指令信号 V_3 を発する単安定マルチバイブレータ D を設けることにより、前記出力用ホールドアンプ Aにおいて、前記入力交流信号 V_i の正側のピーク値を順次ホールドして出力するように、特に低周波交流信号の整流に好適な整流回路を構成してある。

第2図はその具体的回路の一例を示し、また、第3図はその回路における各信号のタイミングチャートを示している。

格検出信号 V_2 が L_{ow} から H_{igh} へ切り替わったときにのみ、極く短時間 τ_1 だけ L_{ow} 状態となる信号 V_3 を発する第2単安定マルチバイブルエタ 4 と、それら両信号 V_2 , V_3 が入力されただどちらかひとつの入力信号が L_{ow} になると出力が H_{igh} になる出力用オアゲート 5 とから構成され、従って、そのオアゲート 5 は、第3図に示すような形のピーク値ホールド指令信号 V_3 を、前記出力用ホールドアンプ A へ発信する。なお、前記第1単安定マルチバイブルエタ 3 は、入力交流信号 V_i が入力されなくなった後は、速やかに前記オアゲート 5 からホールド解除信号を出して出力 V を 0 にするために駆けられているものである。

そして、前記出力用ホールドアンプ A は、前記単安定マルチバイブルエタ 3 からのピーク値ホールド指令信号 V_3 が H_{igh} 状態になったときに前記入力交流信号 V_i を取り込み、その後、前記ピーク値ホールド指令信号 V_3 が L_{ow} 状態を維持している間はその値を保持して出力し続ける。

これら第2図および第3図から明らかのように、この例では、前記ゼロクロスコンバーティ C は、前記位相変換用アンプ B からの位相変換交流信号 V_1 における正側から負側へのゼロクロスタイミングを検出したときに L_{ow} から H_{igh} へ切り替わり、前記位相変換交流信号 V_1 における負側から正側へのゼロクロスタイミングを検出したときに H_{igh} から L_{ow} へ切り替わるゼロクロスタイミング検出信号 V_2 を出力するように構成されている。

また、前記単安定マルチバイブルエタ D は、前記ゼロクロスコンバーティ C からのゼロクロスタイミング検出信号 V_2 が最初に L_{ow} から H_{igh} へ切り替わったときに L_{ow} から H_{igh} へ切り替わり、前記ゼロクロスタイミング検出信号 V_2 が最後にから L_{ow} H_{igh} へ切り替わってから一定時間 τ_2 (入力交流信号 V_i の周期 T よりも若干長い時間) が経過したときに H_{igh} から L_{ow} へ切り替わる信号 V_3 を発する第1単安定マルチバイブルエタ 3 と、前記ゼロクロスタイミング

その結果、その出力用ホールドアンプ A からは、第3図に示すように、入力交流信号 V_i の正側のピーク値 P_1 , P_2 …が順次ホールドされて出力されることになる。

なお、上記実施例においては、入力交流信号 V_i の正側のピーク値 P_1 , P_2 …を順次ホールドして出力するように構成したものを示したが、例えば、前記単安定マルチバイブルエタ D における第2単安定マルチバイブルエタ 4 の入力線の極性を入れ換えることによって、入力交流信号 V_i の負側のピーク値 P_1' , P_2' …を順次ホールドして出力するように構成してもよい。

第4図ないし第6図は別の実施例を示している。即ち、第4図のブロック回路構成図に示すように、入力端子 1 と出力用ホールドアンプ A の間に入力交流信号 V_i を受けて絶対値交流信号 V_i' に変換する絶対値整流アンプを介装すると共に、単安定マルチバイブルエタ D と、ゼロクロスコンバーティ C が位相変換交流信号 V_1 における正側から負側へのゼロクロスタイミング検出したとき、

および、負側から正側へのゼロクロスタイミングを検出したときの何れの場合にも、その時点における前記絶対値交流信号 V_{a} を前記出力用ホールドアンプ A にホールドさせるべくピーク値ホールド指令信号 V_{d} を発するように構成し、以て、前記出力用ホールドアンプ A において、前記入力交流信号 V_{a} の正側および負側のピーク値の絶対値を順次ホールドして出力するように構成したものである。その他の構成は前記第 1 図のものと同様である。

この場合、第 5 図の具体的回路および第 6 図のタイミングチャートから明らかのように、前記單安定マルチバイブレータ D には、第 2 単安定マルチバイブレータ C からのゼロクロスコンパレータ C からのゼロクロスタイミング検出信号 V_{d} が High から Low へ切り替わったときにのみ、極く短時間で、だけし Low 状態となる信号を発する第 3 単安定マルチバイブレータ 6 が、前記第 2 単安定マルチバイブレータ 4 に対して並列に付加されており、従って、それら第 2 単安定マルチバ

することができる。

(発明の効果)

以上詳述したところから明らかのように、本発明に係る整流回路は、入力された交流信号のピーク値のみをホールドして出力することにより、該交流信号を直流信号に変換するように構成しているから、その変換のための時定数は、最小の場合で、入力された交流信号の周波数の逆数（例えば入力交流信号が 1 Hz の場合には 1 sec）にまで高めることができ、以て、比較的簡素で安価に構成できるものでありながら、たとえ低周波の入力交流信号であっても、非常に高速に且つ精度良く整流処理することができる、という優れた効果を發揮し得るものである。

4. 図面の簡単な説明

図面は本発明に係る整流回路の具体的実施例を示し、第 1 図はプロック回路構成図、第 2 図は具体的回路構成図、第 3 図はそのタイミングチャート、第 4 図は別実施例のプロック回路構成図、第 5 図はその具体的回路構成図、そして、第 6 図は

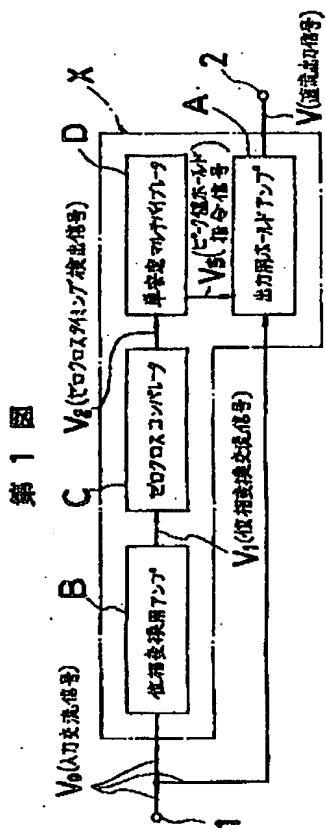
イブレータ 4 および第 3 単安定マルチバイブルエタ 6 からオアゲート 5 への出力 V_{a} 、 V_{b} は第 6 図に示すような形となり、そして、オアゲート 5 は、第 6 図に示すような形のピーク値ホールド指令信号 V_{d} を、前記出力用ホールドアンプ A へ発信する。

すると、前記出力用ホールドアンプ A は、前記單安定マルチバイブルエタ D からのピーク値ホールド指令信号 V_{d} が High 状態になったときに前記絶対値交流信号 V_{a} を取り込み、その後、前記ピーク値ホールド指令信号 V_{d} が Low 状態を維持している間はその値を保持して出力し続ける。その結果、その出力用ホールドアンプ A からは、第 6 図に示すように、入力交流信号 V_{a} の正側および負側のピーク値 $P_{\text{a}}, P_{\text{a}}', P_{\text{b}}, P_{\text{b}}' \dots$ の絶対値が順次ホールドされて出力されることになる。その他の構成は前記第 2 図および第 3 図における場合と同様である。

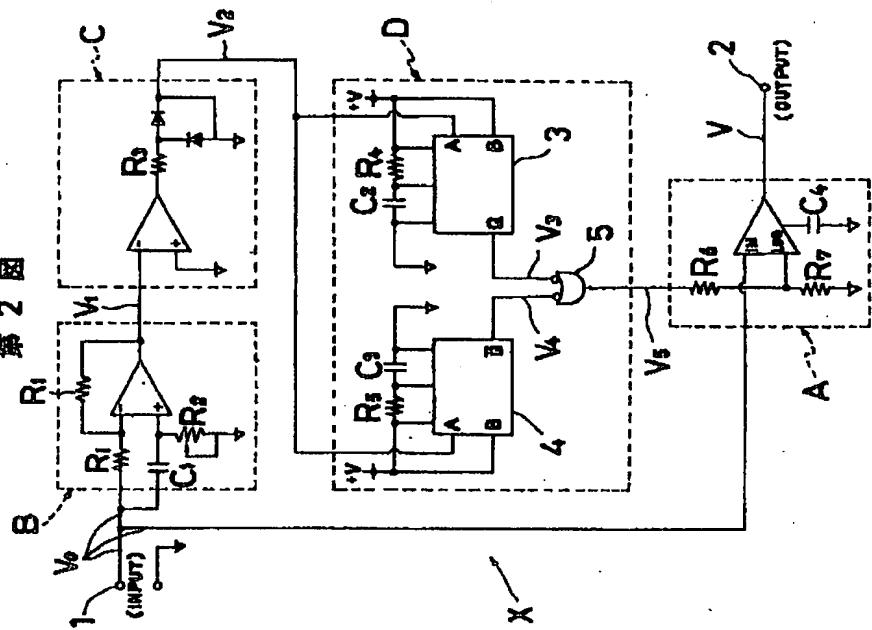
なお、この実施例に係る整流回路によれば、前記第 1 実施例のものに比べて、応答速度を 2 倍に

そのタイミングチャートである。

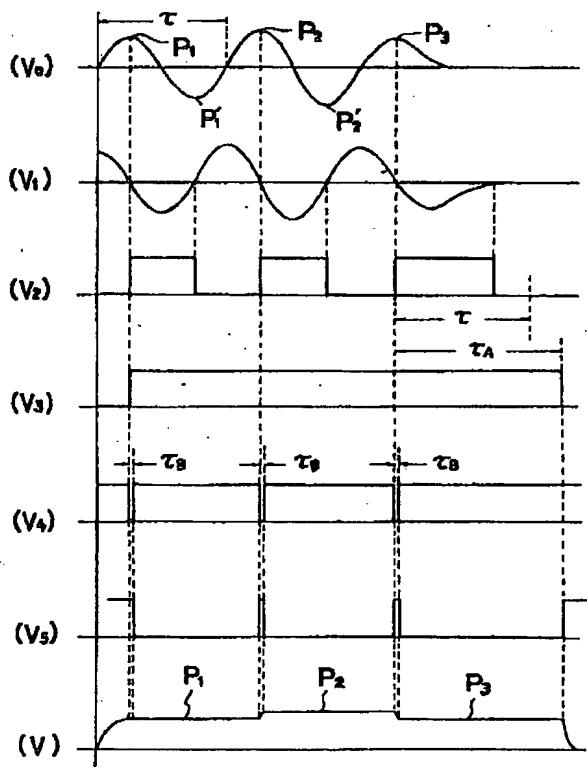
A ……出力用ホールドアンプ、B ……位相変換用アンプ、C ……ゼロクロスコンパレータ、D ……單安定マルチバイブルエタ、E ……絶対値整流アンプ、V_a ……入力交流信号、V_b ……位相変換交流信号、P_a, P_a' (P_b, P_b') ……ピーク値、X ……ホールド出力手段。



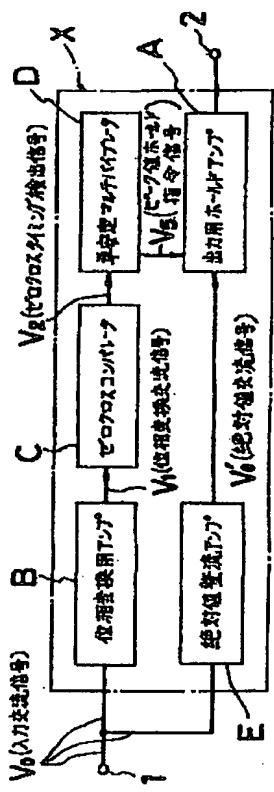
第2図



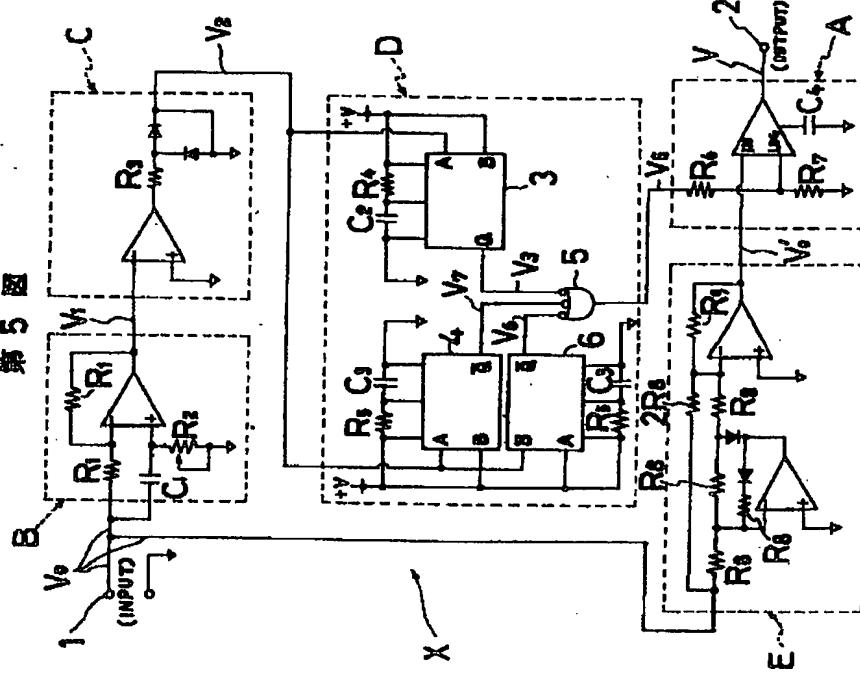
第3図



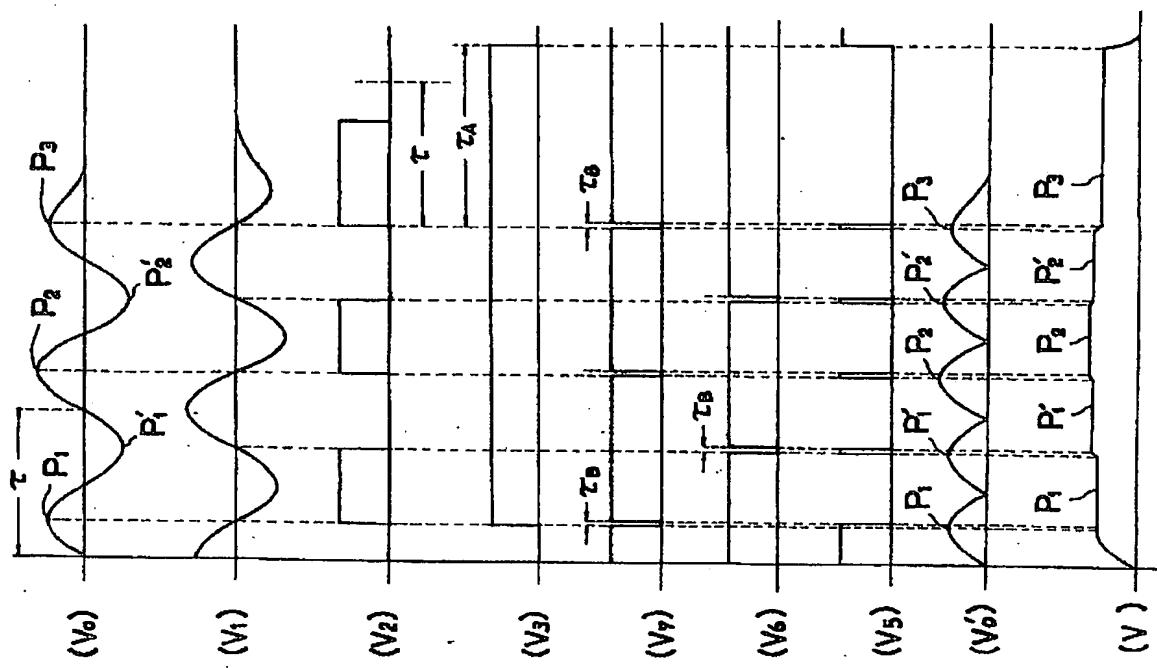
第4図



第5図



第6図



特許法第17条の2の規定による補正の掲載

昭和 60 年特許願第 109992 号(特開 昭 61-266963 号, 昭和 61 年 11 月 26 日 発行 公開特許公報 61-2670 号掲載)について特許法第17条の2の規定による補正があつたので下記のとおり掲載する。 6 (1)

Int. C1.	識別記号	序内整理番号
G01R 19/22		7241-2G
H02M 7/21		6650-5H

自発手続補正書

昭和 62 年 3 月 16 日

特許庁長官

殿

1. 事件の表示

昭和 60 年 特 許 国 部 109992 号

2. 発明の名称 整流回路

3. 補正をする者

事件との関係 特許出願人

フリーダム
住所 京都市南区吉田町の東町2番地
株式会社
氏名(名称)代表者 大西政弘

4. 代理人

住所 〒654 大阪市都島区片町2丁目2番40号
大通ビル 5 階
氏名 (7427) 伊藤士蔵 本英太

5. 補正命令の日付

6. 補正により増加する発明の数

7. 補正の対象

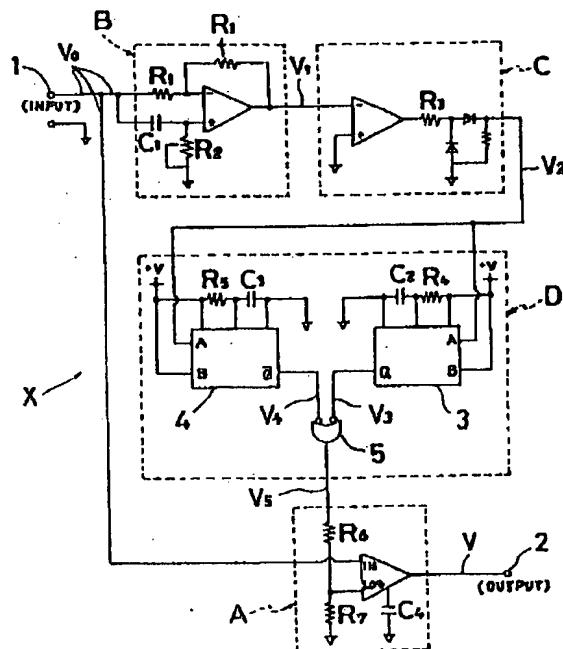
図面



8. 補正の内容 本願の明細書面中、第2図、第5図を別紙の通り訂正する。

方式
登録
保版

第2図



第5図

